

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06086165 A

(43) Date of publication of application: 25 . 03 . 94

(51) Int. Cl. H04N 5/262  
G06F 15/31  
G09G 5/00  
G09G 5/36

(21) Application number: 04230899

(22) Date of filing: 31 . 08 . 92

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: MURAKAMI HIROSHI  
AMANO YOSHINORI

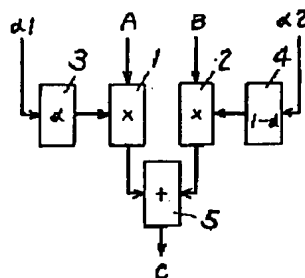
(54) ARITHMETIC CIRCUIT FOR PICTURE EFFECT

(57) Abstract:

PURPOSE: To smooth the cross fade at the time of displaying synthesized picture data on a monitor or the like.

CONSTITUTION: A coefficient  $\alpha_1$  which has a maximum value  $(2^m-1)$  and satisfies the relation  $\alpha_1=(2^m-1)$  is inputted to a conversion circuit 3, and a coefficient  $\alpha_2$  which has a maximum value  $(2^m-1)$  and satisfies the relations  $\alpha_2=(1-\alpha)*(2^m-1)$  is inputted to a conversion circuit 4. The approximate output of a coefficient  $\alpha$  from the conversion circuit 4 is multiplied by picture data A in a multiplier 1, and the approximate output of a coefficient  $(1-\alpha)$  from the conversion circuit 4 is multiplied by picture data B in a multiplier 2. Outputs of multipliers 3 and 4 are added by an adder 5 to obtain a synthesized picture C.

COPYRIGHT: (C)1994,JPO&Japio



## 【特許請求の範囲】

【請求項1】  $(2^n - 1)$  の最大値を有し、 $\alpha 1 = \alpha$   $(2^n - 1)$  の関係にある係数  $\alpha 1$  を  $m$  ビットの係数  $\alpha$  に近似する第1の変換手段と、 $(2^n - 1)$  の最大値を有し、 $\alpha 2 = (1 - \alpha) * (2^n - 1)$  の関係にある係数  $\alpha 2$  を  $m$  ビットの係数  $(1 - \alpha)$  に近似する第2の変換手段と、画像データAと前記第1の変換手段の出力を乗算とする第1の乗算手段と、画像データBと前記第2の変換手段の出力を乗算とする第2の乗算手段と、前記第1、第2乗算手段の出力を加算する加算手段とを有する画像効果用演算回路。

【請求項2】 第1、第2の変換手段は、係数  $\alpha 1$ 、 $\alpha 2$  の最大値  $2^n - 1$  に1を加え  $2^n$  にし、 $m$  ビットシフトする事により係数  $\alpha$  に近似することを特徴とする請求項1記載の画像効果用演算回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、モニター等に画像を表示する際に、画像効果を実現する画像効果用演算回路に関するものである。

## 【0002】

【従来の技術】 近年画面の大型化等により高画質化が求められており、画像効果においてもより滑らかな効果が必要とされている。モニター等に画像データ（静止画像等）を表示させるとき、この画像効果の1つに現在表示中の画像を徐々にフェードアウトさせながら、次画像を徐々にフェードインさせるクロスフェードと呼ばれる画像効果がある。前記クロスフェードを実現するためには現在表示されている画像データをA、次の画像データをB、係数を  $\alpha$  とすると、

$$C = A \times \alpha + B \times (1 - \alpha)$$

で示される合成画像Cを  $\alpha$  が1～0になるまで表示させればよい。デジタル回路において前記の効果を実現するために、従来ルックアップテーブルを用いて図2に示すようにして実現していた。しかしスムーズな効果を与えるためには、前記係数  $\alpha$  のビット数  $m$  を多くする必要がある。また、係数  $\alpha$  のビット数を下げ記憶装置（以下ROMと略す）に書き込む乗算結果の値を調整する事により、実際のROMのサイズより大きなデータがあるように見せ、ある程度スムーズな効果を得る方法もあった。\*40

$$C = A \times \alpha + B \times (1 - \alpha) \quad (0 \leq \alpha \leq 1) \cdots (1)$$

(1) 式において、Aは現在表示中の画像データ、Bは次の画像データ、Cは画像データA、Bの合成画像、 $\alpha$  は0～1の係数である。合成画像Cを係数  $\alpha$  が1～0まで変化する間表示することによりクロスフェードが実現できる。

【0008】 本発明において係数  $\alpha$  は  $(0 \sim (2^n - 1) / (2^n - 1))$  の範囲であり入力されてくるデータ  $\{0 \sim 2^n - 1\}$  を  $2^n - 1$  で割る必要がある。

【0009】 図1は本発明における実施例のブロック図

## \*【0003】

【発明が解決しようとする課題】 上記のような従来の画像効果用演算回路において係数  $\alpha$  のビット数を大きくすることは、ルックアップテーブルが大きくなり、ROMのサイズの拡大につながり回路の高速化、小型化の妨げとなっていた。またROMに書き込むデータを調節する方法も、画像効果の速度を遅くすると画像の変化が急激になりスムーズな画面効果を実現することができなかった。本発明は本課題に留意し、回路規模の拡大を抑えて、滑らかな画像効果を得る事ができる画像効果用演算回路を提供することを目的とする。

## 【0004】

【課題を解決するための手段】 上記目的を達成するために本発明の画像効果用演算回路は、画像データAに係数  $\alpha$  を、画像データBに係数  $(1 - \alpha)$  をそれぞれ乗算し、その乗算出力を加算することにより合成画像Cを得る画像効果用演算回路において、 $(2^n - 1)$  の最大値を有し、 $\alpha 1 = \alpha (2^n - 1)$  の関係にある係数  $\alpha 1$  を  $m$  ビットの係数  $\alpha$  に近似する第1の変換手段と、 $(2^n - 1)$  の最大値を有し、 $\alpha 2 = (1 - \alpha) * (2^n - 1)$  の関係にある係数  $\alpha 2$  を  $m$  ビットの係数  $(1 - \alpha)$  に近似する第2の変換手段を設け、この第1、第2の変換手段の出力を画像データに乗算する係数とするものである。さらに、係数  $\alpha 1$ 、 $\alpha 2$  の最大値である  $2^n - 1$  に1を加え  $2^n$  とし  $m$  ビットシフトすることにより係数  $\alpha$ 、 $(1 - \alpha)$  に近似する第1、第2の変換手段を有するものである。

## 【0005】

【作用】 上記構成の本発明の画像効果用演算回路は、係数の近似を行うことにより係数  $\alpha$  の全ビット ( $m$  ビット) を使用し乗算を行うことが出来るので変化させる速度を遅くしてもスムーズな画面効果（クロスフェード）を実現でき、また上記係数  $\alpha$  を近似して入力するので回路構成が簡単且つ高速になる。

## 【0006】

【実施例】 以下、本発明の実施例について図を参照しながら詳細に述べる。はじめにその論理的説明のためにクロスフェードの演算を再記する。

## 【0007】

である。図1に示すようにその構成要素として、1、2は第1、第2の乗算手段としての乗算器、3、4は第1、第2の変換手段としての変換回路、5は加算手段としての加算器である。画像データA、Bは  $n$  ビットに量子化されたデータ、係数  $\alpha 1$  は  $m$  ビットで  $2^n - 1$  から0までのデータ、係数  $\alpha 2$  は  $m$  ビットで0から  $2^n - 1$  までのデータ、乗算器は  $k \times k$  (ビット) ( $k > n$ ) である。

【0010】 画像データA、Bはそのまま乗算器に入力

3

すれば良いが、係数 $\alpha$ を乗算器に入力するためには、係数 $\alpha 1$ 、 $\alpha 2$ をそれぞれ $2^n - 1$ で割る必要がある。すなわち、 $\alpha 1 = \alpha (2^n - 1)$ の関係にあり、この係数 $\alpha 1$ を $m$ ビットの係数 $\alpha$ に近似する第1の変換と、 $\alpha 2 = (1 - \alpha) * (2^n - 1)$ の関係にありこの係数 $\alpha 2$ を係数 $(1 - \alpha)$ に近似する第2の変換を必要とすることになる。しかしこれを実際に行うとすると、除算を行う回路が必要になり、回路が複雑なものになってしまう。これを簡単に行う方法として図1における変換回路3、4において係数 $\alpha 1$ 、 $\alpha 2$ の最大値を $2^n - 1$ から $2^n$ に置き換えて $\alpha 1$ を $\alpha$ 、 $\alpha 2$ を $1 - \alpha$ に近似し、乗算器に入力し乗算結果を $m$ ビットシフト、あるいは $m$ ビットシフトしてから乗算器に入力し乗算結果を得る。この近似は $m$ の値が大きければ大きいほど誤差も小さくなる。このことはより繊細なクロスフェードを行えば行うほど誤差の少ないスムーズな画面効果が得られることを意味する。こうして得られた乗算結果を加算器5を通して合成画像Cを得る。

【0011】さらにここで問題となることは、乗算結果、加算結果で発生する可能性があるオーバーフロー、アンダーフローである。オーバーフロー、アンダーフローが発生すると正しい合成画像が得ることができなくなってしまう。オーバーフロー、アンダーフローの発生を避けるために乗算器の機能である丸め演算（四捨五入）を巧みに使用する。具体的に述べると乗算結果が正の値の時には値が小さくなるように小数部を切り捨て、負の時\*

\*は値が大きくなるように小数部を四捨五入を行う。つまり丸め演算を行う。この処理は2の補数において最上位ビットを使用すれば容易に行える。以上によりオーバーフロー、アンダーフローの発生しないスムーズな中間画像Cを得ることができる。

【0012】

【発明の効果】以上の説明から明らかなように本願発明の画像効果用演算回路は、係数 $\alpha$ を近似する第1、第2の変換手段を設けることにより、画像効果の1つであるクロスフェードを実現する場合、乗算器を用いることによって生じる除算部による回路構成の複雑化、遅延を防ぎ、ルックアップテーブルを用いたときに比べ、よりスムーズなクロスフェードを実現することができる。

【図面の簡単な説明】

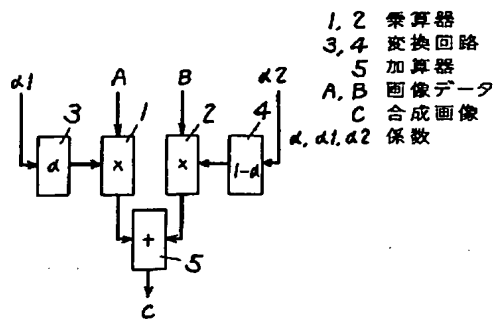
【図1】本発明における一実施例の画像効果用演算回路の全体のブロック図

【図2】従来の画像効果用演算回路の構成を示すブロック図

【符号の説明】

- |                              |       |
|------------------------------|-------|
| 1, 2                         | 乗算器   |
| 3, 4                         | 変換回路  |
| 5                            | 加算器   |
| A, B                         | 画像データ |
| C                            | 合成画像  |
| $\alpha 1, \alpha 2, \alpha$ | 係数    |

【図1】



【図2】

